

Introdução a Implementação de Sistema de Medidas de Magneto Impedância Em Hardware Reconfigurável

Maurício Bochner e Marcelo Portes de Albuquerque
Coordenação e Atividades Técnicas, Centro Brasileiro de Pesquisas Físicas (CAT/CBPF)

Jorge Luis Gonzalez Alfonso
Instituto de Física da Universidade Federal do Espírito Santo (IF/UFES)

Resumo: Esta Nota Técnica apresenta o desenvolvimento, em hardware reconfigurável, de um sistema de medidas de Magneto Impedância utilizando técnicas de Processamento de Sinais Digitais (DSP) e de Detecção Sensível à Fase (PSD) em altas frequências (520 kHz a 2.0 MHz). Sistemas em hardware reconfigurável são bastante úteis devido a sua facilidade de adaptação ao problema experimental, amenizando a necessidade de complexas montagens e confecções de circuitos eletrônicos. De acordo com a demanda é possível instanciar por software um ou mais sistemas de controle e carregá-los em uma FPGA (Conjunto de Portas Programáveis em Campo) para serem utilizados imediatamente. O sistema proposto implementou em hardware reconfigurável, desde a técnica de detecção síncrona utilizada por um Amplificador Lock-in até um sistema completo de medida de magneto impedância automatizado.

Abstract: This Technical Note presents the development using reconfigurable hardware of an magneto impedance system using techniques of Digital Signal Processing (DSP) and Phase Sensitive Detection (PSD) at high frequencies (520 kHz to 2.0 MHz). Reconfigurable hardware systems are very useful due to its ease of adaptation to experimental problem, mitigating the need for complex assembly and manufacture of electronic circuits. According to the demand you can instantiate, by software, one or more control systems and load them into an FPGA (Set of Field Programmable Gate) for immediate use. The proposed system, implemented in reconfigurable hardware since the detection technique used by a synchronous lock-in amplifier to a complete automated system for measuring magneto impedance.

Palavras-Chave: Lock-in, Detecção sensível à fase (PSD), Processamento digital de sinais.

1. INTRODUÇÃO

Para dispor dos benefícios da computação por hardware reconfigurável este trabalho deu prosseguimento na utilização do Stratix II EP2S60 DSP [1] [2], um kit de desenvolvimento que inclui o dispositivo Stratix II EP2S60 da ALTERA (Figura1). Essa plataforma foi projetada para o desenvolvimento de aplicações de hardware que necessitam de alto desempenho, sendo apropriada para o projeto de sistemas baseados em DSPs e dispositivos da família Stratix II da Altera. O kit inclui também um compilador, o DSP Builder, com a biblioteca para o Stratix II EP2S60 DSP e as funções proprietárias (*IP cores Intellectual Property functions*) permitindo o desenvolvimento de algoritmos, simulação, e verificação do código, por meio do MATLAB e do Simulink.

O sistema foi desenvolvido em tecnologia DSP/FPGA

com o processador StratixII e bibliotecas associadas. O *Signal Tap* em conjunto com a função *MEX-Function* foi utilizado tanto para depuração como para avaliação de dados [2].

Na primeira seção deste capítulo é apresentada a simulação do processamento do sistema de detecção sensível à fase (PSD), núcleo do Lock-In [3] e do sistema de medidas, que precedeu a implementação do nosso primeiro protótipo a ser configurado em hardware na FPGA. As seções que se seguem, apresentam o diagrama da arquitetura interna, mostrando os blocos desenvolvidos para compor o sistema e a implementação de um sistema de medição de Magneto Impedância.

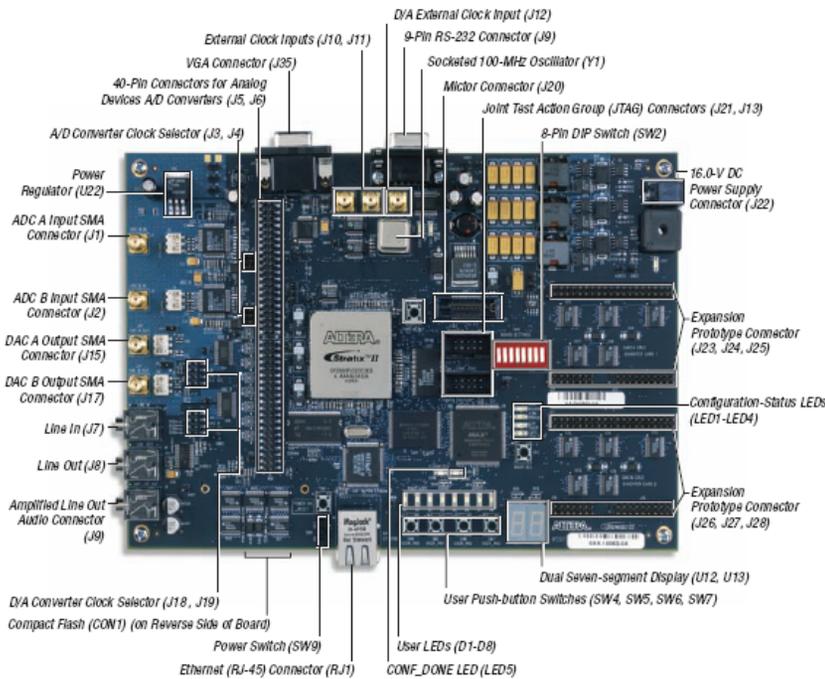


Figura 1: Ilustração da placa de desenvolvimento do Kit Stratix II EP2S60 DSP.

2. SIMULAÇÃO DO LOCK-IN EM MATLAB

Utilizando os recursos de simulação do Matlab/Simulink em conjunto com o software QuartusII da ALTERA (Figura 2), foram efetuados testes iniciais para a implementação de um sistema PSD com funções programáveis em hardware, obtendo diretamente os resultados em quadratura (U1 e U2) e os cálculos de módulo e fase (tangente) [3].

O sistema de detecção sensível à fase (PSD) e outras funções foram implementados com módulos multiplicadores acumuladores¹. Estes módulos são muito apropriados para implementação de sistemas de processamento digital de sinais.

O bloco de LUT (“look up table”) que é uma memória endereçável foi utilizado para implementar internamente sinais digitais com a finalidade de servir como referência ao Lock-In, e também para servir sincronizadamente de excitação interna, ou externa, depois de aplicados a um conversor Digital Analógico.

Na Figura 2 e Tabela 1, mostramos a implementação da simulação, para a frequência de 781.25 KHz, onde configuramos a constante de tempo em 10 ciclos e o sinal de entrada com valor de pico, quantizado em 12 bits, de 2047 (1 V). Ao sinal de entrada foi introduzido atraso de 39°. Os valores de módulo e fase (tangente), estão apresentados na simulação em ‘display’, uma funcionalidade do simulink. Para serem enviados ao exterior devem ter seu número de

bits reduzidos à quantidade adequada e associados aos pinos da FPGA disponíveis.

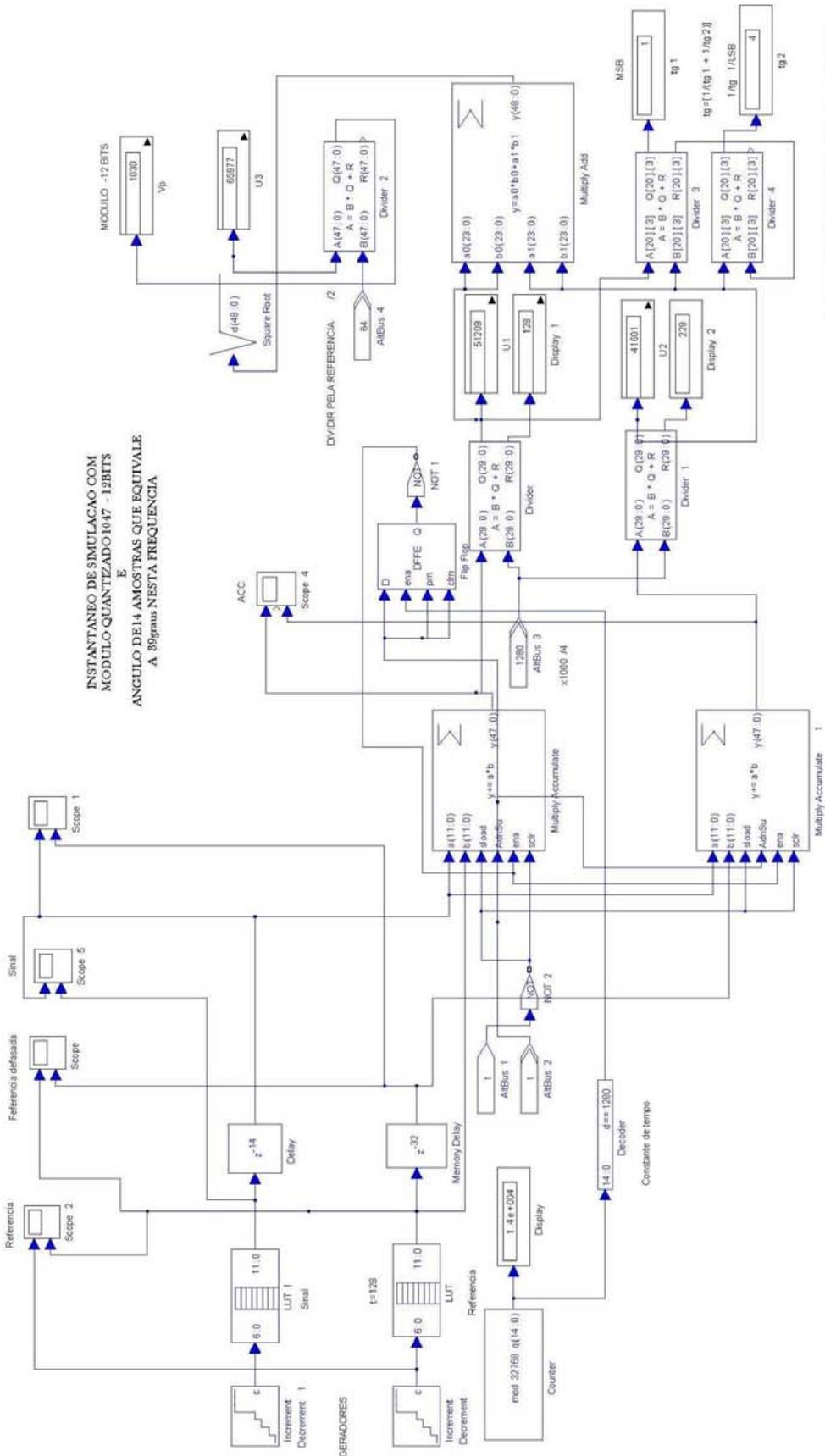
Nos cálculos efetuados por hardware, foram utilizados números inteiros e desprezados os restos das divisões. Os percentuais de erro nas medidas de módulo são menores do que 2% para defasagens até 39 graus. Nas medidas de fase, observamos um erro médio de 0,6 graus. Na frequência de 781 kHz, utilizada na simulação, a defasagem possui resolução mínima de 2,8 graus.

3. PROTÓTIPO DO SISTEMA DE MEDIDAS

Na Figura 3 vemos um diagrama do sistema de medidas configurado na FPGA, baseado no Lock-In, onde são utilizados alguns dos periféricos e acessórios constantes na placa de desenvolvimento como: botões, “leds”, display-7segmentos e conversores A/D & D/A. O Lock-In foi implementado com referência gerada internamente e fornece este sinal, com seleção de nível através de chave (SW5), para o exterior através do conversor D/A. A chave SW7 seleciona o sinal do conversor A/D1 ou A/D2 para que seja medido o módulo cujo valor (tensão de pico em mV/ μ V) é visto nos displays com resolução selecionável pela chave SW6. SW4 reinicia o processamento e os “leds” indicam a chave (função) selecionada. O valor medido é apresentado nos displays de 7 segmentos disponíveis na resolução selecionada. O resultado também pode ser disponibilizado em pinos do CI e capturado para processamento externo ou visualizados os dados no software da ALTERA QUARTUSII, para depuração e/ou análise dos resultados.

¹ A capacidade que os DSPs têm de repetir em extrema velocidade uma instrução complexa (como por exemplo a “MPYA”: “Multiply and Accumulate Previous Product”) faz com que sejam rapidamente resolvidas.

**SIMULACAO DE CALCULO
MAGNITUDE E FASE
PARA 128 AMOSTRAS
a 100Mhz
OU
781,250Khz**



INSTANTANEO DE SIMULACAO COM
MODULO QUANTIZADO 1047 - 12BITS
E
ANGULO DE 14 AMOSTRAS QUE EQUIVALE
A 39graus NESTA FREQUENCIA

$$1/\text{tg} = (1 + 1/4) = 1/1,25 = 0,8 \text{ donde atan} = 38,6\text{graus}$$

Figura 2: Simulação no MATLAB/SIMULINK do processamento do PSD do Lock-In e cálculos de magnitude e fase.

Valor de pico do sinal de entrada	Valor medido	Percentual de erro do valor medido (%)	Defasagem introduzida no sinal de entrada (graus)	Defasagem medida após cálculo com as tangentes	Erro do valor medido (graus)
1047	1034	1,24	5,6	6,3	0,7
1047	1034	1,24	22,5	21,8	0,7
1047	1030	1,62	39,0	38,6	0,4

Tabela 1 – Valores simulados para determinação de módulo e fase de um sinal auto-gerado.

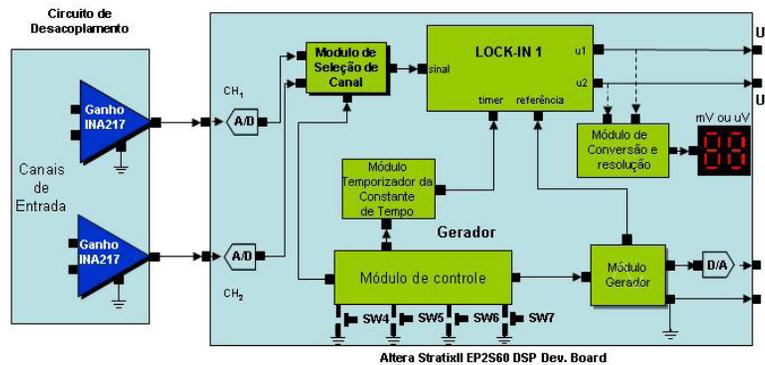


Figura 3: Diagrama do sistema desenvolvido, apresentando em módulos o hardware configurado na FPGA (STATIX II) da placa de desenvolvimento.

3.1. Descrição dos Módulos

Para melhor visualização, e compreensão, estamos nos referindo aos módulos do diagrama, sem referência aos blocos lógicos, blocos DSP ou código da arquitetura em VHDL gerados. Podemos aplicar ao sistema, simultaneamente, dois sinais distintos na frequência programada.

3.1.1. Módulo Lock-In

Este é o núcleo do sistema. O sinal de referência é gerado internamente e os sinais a serem medidos são provenientes da entrada de sinal (CH₁) ou entrada de sinal (CH₂), selecionáveis pelo botão SW7. Estruturado na implementação em hardware do sistema de detecção sensível à fase (PSD), onde efetuamos a multiplicação do sinal em fase e quadratura com o sinal de referência, com uma constante de tempo $CT = 10$, ou seja, efetuamos as multiplicações e acumulações e integramos (acumulamos) durante 10 ciclos, correspondentes à frequência do sinal de referência que nesta aplicação é de 781.250 KHz.

3.1.2. Módulo de Seleção do Canal

Este módulo é comandado pela chave SW7 (1 bit), selecionando através de um “mux” o canal a ser transmitido para a entrada do Lock-In.

3.1.3. Módulo Temporizador da Constante de Tempo

Este é um módulo de controle digital. Fornece a constante de tempo do Lock-In, que nesta aplicação está definida em 10 ciclos da frequência de referência.

3.1.4. Módulo de Conversão e Resolução do Display

Este módulo converte o valor lido pelo Lock-In para mV ou μV , com estas resoluções selecionáveis pela chave SW6 para que sejam lidos pelos dois displays de 7 segmentos inerentes ao Kit. A unidade, neste caso Volts, depende do algoritmo utilizado na conversão. Melhores resoluções podem ser obtidas conectando-se um número maior de displays nos pinos de saída ou enviando dados a um processador ou PC..

3.1.5. Módulo Gerador do Sinal de Referência e Excitação Externa

Este módulo gera de forma síncrona, o sinal de referência em fase e quadratura e o sinal de excitação externa, que possui o nível de saída selecionado por uma palavra de 4 bits, configurada pelo botão SW5. Os sinais a serem gerados ficam armazenados em LUTs (“Look Up Tables”), sendo a frequência dada pela extensão da varredura dos dados da LUT no tempo e pela frequência de operação do “clock”.

Para processamentos e interações de configuração e controle com o sistema, “interfaceados” por processadores externos, salientamos o Nios II que é um dispositivo re-

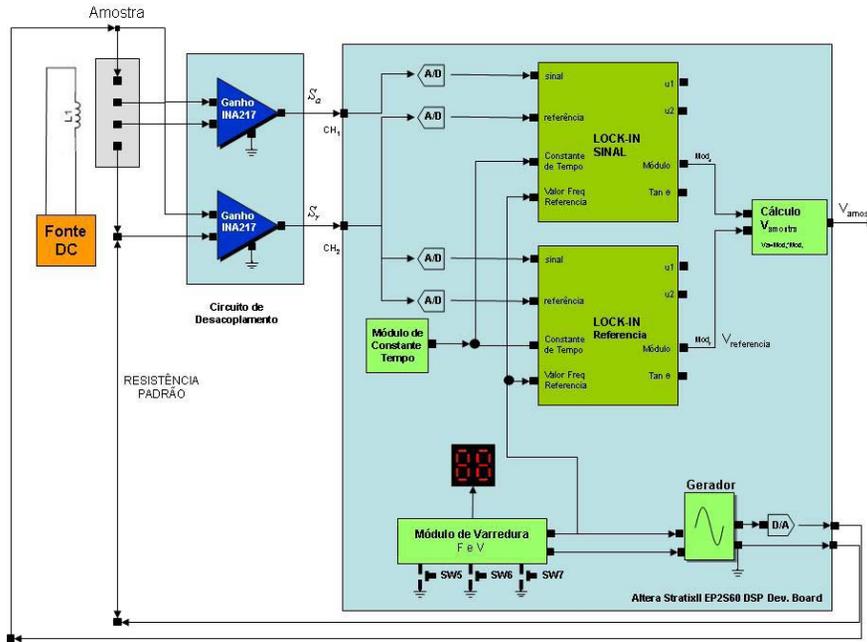


Figura 4: Diagrama do sistema desenvolvido no Kit EP2S60 da ALTERA para a medição de Magneto Impedância. Um segundo lock-in foi instanciado para processar o sinal de referência.

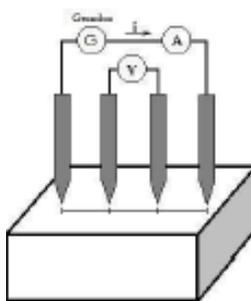


Figura 5: Suporte da amostra.

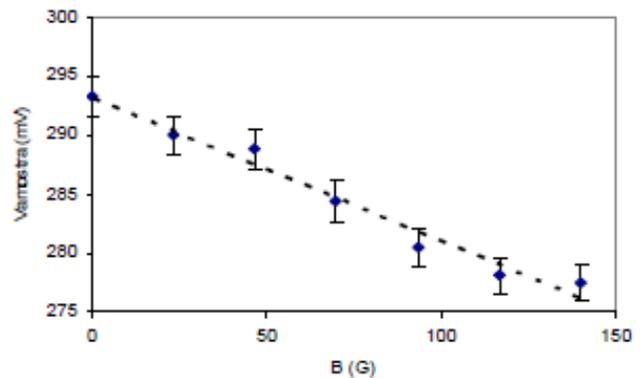


Figura 6: Gráfico com as medidas da tensão na amostra em 520KHz em função do campo magnético aplicado.

configurável, “soft-core”, sendo implementado inteiramente pela lógica programável e blocos de memória das FPGAs ALTERA [4], permitindo ser instanciado repetidamente.

3.1.6. Sistema de Medidas para medição de Magneto Impedância

Na Figura 4 é mostrado o diagrama do sistema desenvolvido para a realização desta medida [5]. A tensão flutuante V e a tensão de excitação são aplicadas aos conversores AD da placa de desenvolvimento através dos amplificadores de instrumentação do circuito de acoplamento, servindo a segunda de referência para o Lock-In. A fonte DC, variável, fornece corrente à bobina L1 para gerar um campo magnético em seu interior, onde está imersa a amostra.

O sistema implementado na FPGA do KIT EP2S60 foi programado para uma varredura automática do gerador

sendo configurado em 10 (dez) níveis de frequência (F) e amplitude (V) por meio de três botões: SW5, SW6 e SW7, conforme apresentado na Tabela 2 e Tabela 3. Os níveis ativos são indicados nos displays de 7 segmentos.

BOTÕES			CONFIGURAÇÃO
SW5	SW6	SW7	
0	0	0	F e V fixos
0	0	1	V automático e F fixo
0	1	0	F automático e V fixo
0	1	1	F e V automáticos
1	X	X	Reset para F1 e V0

Tabela 2 – Estado dos botões para configurar a operação do sistema projetado sinalizados por “leds” na placa de desenvolvimento.

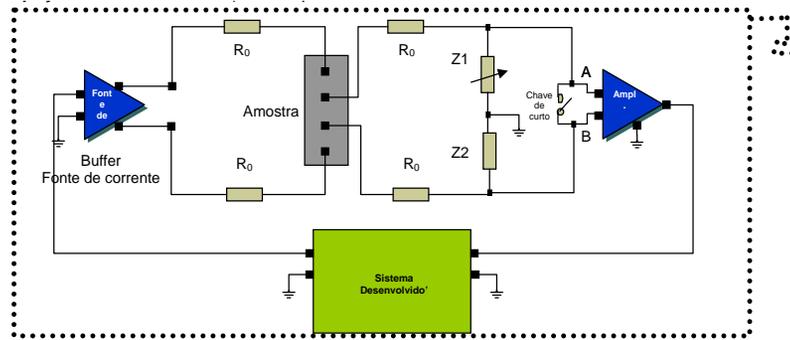


Figura 7: Diagrama da montagem proposta com o sistema de medidas desenvolvido para medição em uma amostra pelo método de quatro pontos.

Display 1	Frequência(kHz)	Display 2	Quantizado	Volts(pico)
Freq. 1	1923,1	Nível 0	Desligado	0,0
Freq. 2	1562,5	Nível 1	910	0,1
Freq. 3	1250,0	Nível 2	1820	0,2
Freq. 4	1041,7	Nível 3	2730	0,3
Freq. 5	892,9	Nível 4	3640	0,4
Freq. 6	781,2	Nível 5	4550	0,6
Freq. 7	694,4	Nível 6	5460	0,7
Freq. 8	625,0	Nível 7	6370	0,8
Freq. 9	568,2	Nível 8	7280	0,9
Freq. A	520,8	Nível 9	8190	1,0

Tabela 3 – Significado do código apresentado nos displays, representando a frequência e o nível do sinal de excitação gerado pelo sistema com quantização de 14 bits. O código é visualizado nos displays de 7 segmentos da placa de desenvolvimento (KIT EP2S60).

Utilizando um suporte (Figura 5), foi aplicado na amostra o sinal analógico gerado (conversor DA). Com o sistema configurado para tensão e frequência de saída fixos (palavra de controle: 000), foi selecionado um sinal de 520KHz (Freq. A indicada no Display 1) com nível constante (indicado no Display 2) para excitar uma amostra de filme fino multicamadas [PYCo/Cu]₂₀ onde PY (permaloy) = Ni₈₁Fe₁₉. A variação da impedância com o campo magnético aplicado foi verificada indiretamente, pela queda de tensão na amostra (Figura 6) [5].

4. MONTAGEM SUGERIDA COM O SISTEMA DESENVOLVIDO

Na Figura 7 mostramos o diagrama de uma sugestão de montagem com o sistema desenvolvido que mede a queda de tensão em uma amostra, pelo método de quatro pontos. Z_1 e Z_2 equilibram a transmissão do sinal capturado da amostra até as entradas A e B, aumentando a eficiência da CMRR (rejeição de modo comum) do amplificador de instrumentação (diferencial). Este por sua vez deve ter a saída casada com a entrada do Sistema desenvolvido e do meio de transmissão para evitar reflexões. A excitação da amostra é feita pelo sinal fornecido pelo sistema desenvolvido através de um amplificador de corrente (buffer) com saída diferencial.

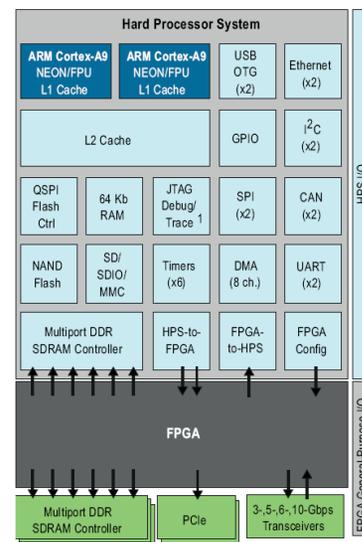


Figura 8: Diagrama, retirado da página de documentação da ALTERA, apresentando o diagrama de uma FPGA moderna (SoC - System on Chip), contendo embarcados (HPS) dois núcleos de microprocessador, controle de memória e um respeitável conjunto de periféricos.

5. CONCLUSÃO

Foram apresentados neste trabalho procedimentos para a implementação e prototipagem em arquitetura paralela, de sistema operando em alta frequência, em hardware reconfigurável na sua maior parte estruturado na memória da FPGA, minimizando o tamanho e a complexidade dos circuitos externos.

Verificamos a conveniência de um sistema personalizado, onde definimos livremente toda a arquitetura que pode ser reconfigurada ou otimizada a qualquer momento para se adaptar a novas aplicações; podendo ainda dispor de diversos sistemas em memória, carregando-se aquele que exigir a demanda imediata.

Na plataforma da ALTERA existem diversos núcleos de processamento (IP cores) do fabricante e de terceiros, agilizando o desenvolvimento. Atualmente ainda podemos ter embarcado o hardware de sistemas e periféricos (Figura 8), eliminando a necessidade de implementá-los, disponi-

bilizando assim mais recursos da FPGA para o desenvolvimento da aplicação.

- [1] Folha de dados da placa de desenvolvimento StratixII EP2S60 DSP
Disponível em: http://www.datasheetcatalog.org/datasheets2/39/3908991_1.pdf
Acessado em 17 de agosto de 2011
- [2] Desenvolvimento de Instrumentos Científicos em Hardware Reconfigurável.
Maurício Bochner, Marcelo Portes Albuquerque, Jorge Luiz González Alfonso, Leonardo Correia Resende, Rafael Astuto Arouche Nunes
Disponível em: <http://notastecnicas.cbpf.br/index.php/nt/article/view/10>
Acessado em 17 de agosto de 2011
- [3] Introdução ao Amplificador Lock-In e Prototipação em Hardware Reconfigurável.
Maurício Bochner, Marcelo Portes Albuquerque, Jorge Luiz González Alfonso, Leonardo Correia Resende, Rafael Astuto Arouche Nunes
Disponível em: <http://notastecnicas.cbpf.br/index.php/nt/article/view/7>
Acessado em 17 de agosto de 2011
- [4] Nios II Processor Reference Handbook, ver 9.1, nov 2009.
Disponível em:
Disponível em: http://www.altera.com/literature/lit-nio2.jsp_
Acessado em 17 de agosto de 2011
- [5] Mauricio Bochner, Tese de Mestrado em Instrumentação Científica. Desenvolvimento de Sistema de Medição de Resistividade CA e Magneto Impedância com Lock-in, utilizando Lógica e DSP Programável. Disponível em: <http://cbpfindex.cbpf.br/>
Acessado em 17 de agosto de 2011